

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326545

(43)Date of publication of application : 22.11.2001

---

(51)Int.Cl. H03F 3/34

H03F 3/45

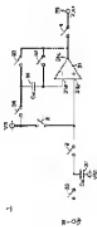
---

(21)Application number : 2000-144347 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.05.2000 (72)Inventor : HASHIDO RYUICHI  
SUZUKI AKIHIRO  
IWATA AKIHIKO

---

## (54) ANALOG OUTPUT CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide an analog output circuit in which offset voltage can be completely compensated, which has a small layout area and in which an oscillation state is not generated and input potential does not change.

SOLUTION: First, only switches 3, 32, 33 and 35 are turned on, the electric

charge of a capacitor 36 is eliminated and a capacitor 37 is charged to an input potential VIN. Next, only switches 3, 32, 34 and 35 are turned on, and the capacitor 36 is charged to the offset voltage Vof of a differential amplifier 31. Then, only switches 2, 4 and 33 are turned on, and potential VIN being the same as the input potential is outputted. The offset voltage Vof can be canceled completely regardless of the ratio of capacitance values of the capacitors 36 and 37.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] It is the analog output circuit which outputs the same potential as the inputted analog potential. The differential amplifier containing the 1st input terminal, 2nd input terminal, and output terminal, The 1st capacitor for holding the offset voltage of said differential amplifier, While giving reference potential to the 2nd capacitor for holding the inputted analog potential, and said 1st input terminal of said differential amplifier, said output terminal and said 2nd input terminal are connected. The 1st change-over circuit for making the potential which added the offset voltage of said differential amplifier to said reference potential output to said differential amplifier, The potential which added said offset voltage to said reference potential outputted from said differential amplifier The 2nd change-over circuit for [ of said 1st capacitor ] giving said reference potential to the another side electrode, and making it charge, while giving an electrode on the other hand, And while connecting to said the 2nd input terminal and said output terminal of said differential amplifier said the 1st one side electrode and another side electrode of a capacitor which were charged using said 1st and 2nd change-over circuits, respectively The analog output circuit which gives the analog potential held at said 2nd capacitor to said 1st input terminal of said differential amplifier, and is equipped with the 3rd change-over circuit for making the same potential as said analog potential output to said differential amplifier.

[Claim 2] Furthermore, an analog output circuit [ equipped with the 4th change-over circuit for connecting and making inter-electrode / of said 1st capacitor /

discharge, before making said 1st capacitor charge using said 1st and 2nd change-over circuits ] according to claim 1.

[Claim 3] Furthermore, the analog output circuit according to claim 1 or 2 which the analog potential as which the terminal was inputted on the other hand is received, it connects with an electrode on the other hand, the another side terminal flows while [ capacitor / said / 2nd ] having charged said 1st capacitor using said 1st and 2nd change-over circuits, and is equipped with the 1st switching element for making said analog potential hold to said 2nd capacitor.

[Claim 4] Furthermore, an analog output circuit given in either of claim 1 to claims 3 which a terminal is connected to said output terminal of said differential amplifier on the other hand, and the another side terminal is connected to a load circuit, and are equipped with the 2nd switching element which flows at the period when the same potential as said analog potential is outputted from said differential amplifier.

[Claim 5] Furthermore, an analog output circuit [ equipped with the charge-and-discharge circuit for giving the potential beforehand set to said load circuit at the period before it connects with the another side terminal of said 2nd switching element and said 2nd switching element flows ] according to claim 4.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the analog output circuit which outputs the same potential as the inputted analog potential about an analog output circuit.

[0002]

[Description of the Prior Art] Drawing 13 is the circuit diagram showing the configuration of the conventional differential amplifier 20. In drawing 13 , this differential amplifier 20 contains a constant current source 21, P channel MOS transistors 22 and 23, and resistance elements 24 and 25. P channel MOS transistors 22 and 23 are the same sizes, and resistance elements 24 and 25 have the same resistance.

[0003] A constant current source 21 is connected between Rhine of the 1st power-source potential VCC, and a node N21. P channel MOS transistor 22 is connected among nodes N21 and N22, and the gate is connected to inversed input terminal 20a. P channel MOS transistor 23 is connected among nodes N21 and N23, and the gate is connected to non-inversed input terminal 20b. Resistance elements 24 and 25 are connected between nodes N22 and N23 and Rhine of the 2nd power-source potential VSS, respectively.

[0004] The output current  $I_b$  of a constant current source 21 is shunted toward P channel MOS transistors 22 and 23. When the potential  $V_{IN1}$  of input terminal 20a and the potential  $V_{IN2}$  of input terminal 20b are the same, the current  $I_{b1}$  which flows to P channel MOS transistor 22, and the current  $I_{b2}$  which flows to P channel MOS transistor 23 become the same, and the potential  $V_{OUT1}$  of a node N22 and the potential  $V_{OUT2}$  of a node N23 become the same. Therefore, output voltage  $V_{OUT}=V_{OUT1}-V_{OUT2}$  of the differential amplifier 20 is set to 0 (V).

[0005] Moreover, when the input potential  $V_{IN1}$  is lower than the input potential

VIN2, Ib1 becomes larger than Ib2, and VOUT1 becomes high rather than VOUT2. Therefore, output voltage VOUT turns into a forward electrical potential difference. Moreover, when the input potential VIN1 is higher than the input potential VIN2, Ib1 becomes smaller than Ib2, and VOUT1 becomes low rather than VOUT2. Therefore, output voltage VOUT turns into a negative electrical potential difference. This output voltage VOUT turns into an electrical potential difference which amplified input potential difference VIN2-VIN1.

[0006] However, in such differential amplifier 20, even when a difference is in the size of P channel MOS transistors 22 and 23, or a difference is in the resistance of resistance elements 24 and 25, and the input potentials VIN1 and VIN2 are equal, output voltage VOUT is not set to 0 (V). The output voltage at this time is called offset voltage.

[0007] Drawing 14 is the circuit diagram showing the configuration of the voltage follower 30 which has an offset voltage compensation function for compensating the offset voltage of the differential amplifier. Such an electrical-potential-difference follower 30 is indicated by Euro Display'96 (p. 247-250).

[0008] In drawing 14 , this voltage follower 30 contains the differential amplifier 31, switches 32-35, capacitors 36 and 37, an input terminal 38, and an output terminal 39. Components 32-37 other than differential-amplifier 31 constitute an offset voltage compensating network. A switch 32 is connected between output terminal 31c of the differential amplifier 31, and inversed input terminal 31a. Series connection of the switches 33 and 34 is carried out between output terminal 31c of the differential amplifier 31, and non-inversed input terminal 31b. A switch 35 is connected between an input terminal 38 and non-inversed input terminal 31b of the differential amplifier 31.

[0009] A capacitor 36 is connected between the node between switches 33 and 34, and inversed input terminal 31a of the differential amplifier 31. A capacitor 36 has the predetermined capacity value Cof, and holds the offset voltage Vof of the differential amplifier 31 as a charge. A capacitor 37 is connected between non-inversed input terminal 31b of the differential amplifier 31, and Rhine of the 2nd

power-source potential VSS. A capacitor 36 has the predetermined capacity calcium and holds the input potential VIN as a charge. Output terminal 31c of the differential amplifier 31 is connected to the output terminal 39 of a voltage follower 30.

[0010] Next, actuation of this voltage follower 30 is explained. At step S1, as shown in drawing 15 , a switch 35 serves as ON and charge  $Q_a = \text{calcium-VIN}$  for the input potential VIN is stored in a capacitor 37. Moreover, switches 32 and 33 turn on and the charge currently stored in the capacitor 36 is eliminated (reset). At step S2, since reset was completed as shown in drawing 16 , switches 33 and 35 turn off.

[0011] At step S3, as shown in drawing 17 , a switch 34 turns on and offset voltage  $V_{of}$  is detected. That is, charge  $\Delta Q$  for offset voltage  $V_{of}$  is stored in a capacitor 36, only  $\Delta Q$  increases, the charge of a capacitor 37 is set to  $Q_a + \Delta Q$ , and the terminal voltage of a capacitor 37 changes from VIN to  $V_{IN'}$ . The following formulas are realized at this time.

[0012]

[Equation 1]

$$\begin{cases} Q_a + \Delta Q = C_a V_{IN'} \\ \Delta Q = C_{of} V_{of} \end{cases}$$
$$\therefore Q_a = C_a V_{IN'} - C_{of} V_{of} = C_a V_{IN}$$
$$\therefore V_{IN'} = V_{IN} + \frac{C_{of}}{C_a} V_{of}$$

[0013] In step S4, since detection of offset voltage  $V_{of}$  was completed as shown in drawing 18 , a switch 34 turns off. At step S5, as shown in drawing 19 , a switch 32 turns off and it will be in a standby condition. At step S6, as shown in drawing 20 , a switch 33 turns on, the detected offset voltage  $V_{of}$  is fed back to inverted input terminal 31a of the differential amplifier 31, and the output voltage  $V_{OUT}$  of a voltage follower 30 declines by offset voltage  $V_{of}$ . At this time, the output voltage  $V_{OUT}$  of a voltage follower 30 is expressed with the following formula.

[0014]

[Equation 2]

$$\begin{aligned}V_{\text{OUT}} &= V_{\text{IN}}' + V_{\text{of}} - V_{\text{of}} \\&= V_{\text{IN}} + \frac{C_{\text{of}}}{C_a} V_{\text{of}}\end{aligned}$$

[0015] Therefore, offset voltage is reduced by Cof/calcium times in this voltage follower 30.

[0016]

[Problem(s) to be Solved by the Invention] However, in the conventional voltage follower 30, since capacity value calcium of a capacitor 37 needed to be enough enlarged compared with the capacity value Cof of a capacitor 36 in order to make effect of offset voltage Vof small, the electrode surface product of a capacitor 37 needed to be enlarged enough, and there was a problem that layout area became large.

[0017] Since output terminal 31c and non-inversed input terminal 31b of the differential amplifier 31 are connected through a capacitor 36 when detecting offset voltage Vof (step S3), an oscillation condition arises depending on the frequency characteristics of the differential amplifier 31, or the magnitude of offset voltage Vof, and it becomes impossible moreover, to detect offset voltage Vof correctly. Drawing 21 is the wave form chart showing the square wave response of the conventional voltage follower 30. It turns out that an oscillation condition arises from this drawing in step S3, and an electrical potential difference VIN and VOUT change a lot.

[0018] Moreover, since capacitors 36 and 37 were connected when detecting offset voltage Vof (step S3), there was a problem that the input potential VIN will change with migration of a charge a lot.

[0019] Without using a single crystal silicon transistor, these problems become remarkable especially, when the differential amplifier 31 is constituted using powerless transistors, such as an amorphous silicon transistor and a polish recon transistor.

[0020] Moreover, in the conventional voltage follower 30, there was also a

problem that input potential could not be correctly latched by the feed through which originates in the parasitic capacitance of a component etc. and is produced in the case of switching.

[0021] So, the main purpose of this invention is offering the analog output circuit where offset voltage's can be compensated completely, layout area's is small, an oscillation condition's does not occur, and input potential's does not change.

[0022]

[Means for Solving the Problem] The differential amplifier which the analog output circuit concerning this invention is an analog output circuit which outputs the same potential as the inputted analog potential, and contains the 1st input terminal, 2nd input terminal, and output terminal, The 1st capacitor for holding the offset voltage of the differential amplifier, While giving reference potential to the 1st input terminal of the differential amplifier, an output terminal and the 2nd input terminal are connected with the 2nd capacitor for holding the inputted analog potential. The 1st change-over circuit for making the potential which added the offset voltage of the differential amplifier to reference potential output to the differential amplifier, The potential which added offset voltage to the reference potential output from the differential amplifier The 2nd change-over circuit for [ of the 1st capacitor ] giving reference potential to the another side electrode, and making it charge, while giving an electrode on the other hand, While connecting to the 2nd input terminal and output terminal of the differential amplifier the 1st one side electrode and another side electrode of a capacitor which were charged using the 1st and 2nd change-over circuits, respectively The analog potential held at the 2nd capacitor is given to the 1st input terminal of the differential amplifier, and it has the 3rd change-over circuit for making the same potential as analog potential output to the differential amplifier.

[0023] Preferably, further, before making the 1st capacitor charge using the 1st and 2nd change-over circuits, the 4th change-over circuit for connecting and making inter-electrode [ of the 1st capacitor ] discharge is prepared.

[0024] Moreover, the analog potential as which the terminal was inputted on the

other hand is received, preferably, further, on the other hand, it connects with an electrode, the another side terminal flows, while [ capacitor / 2nd ] having charged the 1st capacitor using the 1st and 2nd change-over circuits, and the 1st switching element for making analog potential hold to the 2nd capacitor is prepared.

[0025] Moreover, preferably, on the other hand, a terminal is connected to the output terminal of the differential amplifier, the another side terminal is connected to a load circuit, and the 2nd switching element which flows at the period when the same potential as analog potential is outputted from the differential amplifier is prepared further.

[0026] Moreover, preferably, it connects with the another side terminal of the 2nd switching element, and the charge-and-discharge circuit for giving the potential defined beforehand is further established in a load circuit at the period before the 2nd switching element flows.

[0027]

[Embodiment of the Invention] [Gestalt 1 of operation] drawing 1 is the circuit diagram showing the configuration of the voltage follower 1 by the gestalt 1 of implementation of this invention, and is drawing contrasted with drawing 14 .

[0028] The points that this voltage follower 1 differs from the voltage follower 30 of drawing 14 with reference to drawing 1 are the point that switches 2-4 are added, and a point that the reference potential VR is introduced. A switch 3 is inserted between the one side terminal of a switch 34, and non-inversed input terminal 31b of the differential amplifier 31. The node between switches 3 and 34 is connected to Rhine of the reference potential VR. A switch 2 is inserted between the one side electrode of a capacitor 37, and non-inversed input terminal 31b of the differential amplifier 31. A switch 4 is inserted between output terminal 31c of the differential amplifier 31, and the output terminal 39 of a voltage follower 1.

[0029] Drawing 2 is a timing diagram which shows the actuation of a voltage follower 1 shown in drawing 1 . Actuation of a voltage follower 1 is explained

according to this drawing 2 . In the initial state, switches 2, 4, and 33 shall turn on and switches 3, 32, 34, and 35 shall turn off. At step S1, as shown in drawing 3 , a switch 4 turns off and the load (not shown) connected with the differential amplifier 31 at the output terminal 39 is separated electrically. Thereby, it can prevent that switches 2-4 and the effect of change-over actuation of 32-35 attain to a load.

[0030] At step S2, as shown in drawing 4 , a switch 2 turns off and a capacitor 37 and the differential amplifier 31 are separated electrically. With a switch S3, as shown in drawing 5 , while the charge which switches 32 and 33 turned on and was stored in the capacitor 36 is eliminated (reset), a switch 35 turns on and charge of a capacitor 37 is started by the following analog input potential VIN.

[0031] In step S4, as shown in drawing 6 , while a switch 33 turns off, a switch 34 turns on, and offset voltage Vof is detected. Since the differential amplifier 31 and a load are separated at this time, the responsibility of the differential amplifier 31 is very good. Moreover, since the reference potential VR is impressed to non-inversed input terminal 31b of the differential amplifier 31, actuation of the differential amplifier 31 is stabilized. Therefore, charge deltaQ for offset voltage Vof is correctly stored in a capacitor 36 for a short time. Moreover, the terminal potential VIN of a capacitor 37 does not change.

[0032] At step S5, since detection of offset voltage Vof was completed as shown in drawing 7 , a switch 34 turns off. At step S6, as shown in drawing 8 , a switch 32 turns off and the differential amplifier 31 is made open-loop.

[0033] At step S7, as shown in drawing 9 , a switch 33 turns on, the detected offset voltage Vof is fed back to inversed input terminal 31a of the differential amplifier 31, and the potential of output terminal 31c of the differential amplifier 31 falls by offset voltage Vof. That is, the potential of output terminal 31c of the differential amplifier 31 turns into the reference potential VR. Therefore, in this voltage follower 1, offset voltage Vof can be canceled completely theoretically, without being based on the capacity value of capacitors 36 and 37.

[0034] At step S8, as shown in drawing 10 , switches 3 and 35 turn off and it will

be in a standby condition. In step S9, as shown in drawing 11 , switches 2 and 4 turn on and the input potential VIN held at the capacitor 7 is inputted into non-inversed input terminal 31b of the differential amplifier 31. Since the offset voltage Vof held in the differential amplifier 31 at the capacitor 36 is added to output voltage VOUT and it is made to feed back to inversed input terminal 31a, the output voltage VOUT of the differential amplifier 31 turns into input voltage and the same electrical potential difference VIN.

[0035] With the gestalt 1 of this operation, since the reference potential VR is referred to with reference to the potential VIN of (step S4) and a capacitor 37 when detecting offset voltage Vof, the potential VIN of a capacitor 37 does not change. Moreover, since non-inversed input terminal 31b of the differential amplifier 31 is fixed to the reference potential VR, an oscillation condition does not arise like before. Moreover, since offset voltage Vof can be canceled completely theoretically, without being based on the capacity value of capacitors 36 and 37, it is not necessary to enlarge, the capacity value, i.e., the electrode surface product, of a capacitor 37, and layout area is small and ends.

[0036] The voltage follower 1 shown by [gestalt 2 of operation] drawing 1 - drawing 11 is used as an analog output circuit for driving the scanning line of a liquid crystal panel. In order to attain low cost-ization of equipment, to form an analog output circuit with an amorphous silicon transistor or a polish recon transistor instead of a single crystal transistor is tried, but since the analog output circuit formed with the amorphous silicon transistor or the polish recon transistor has bad responsibility, it has the problem that a scan time becomes long. This problem is solved with the gestalt 2 of this operation.

[0037] Drawing 12 is the circuit block diagram showing the configuration of the analog output circuit 10 by the gestalt 2 of implementation of this invention. The point that this analog output circuit 10 differs from the voltage follower 1 of drawing 1 with reference to drawing 12 is a point that the switch 11 and the charge-and-discharge circuit 12 are added. A switch 11 is connected between an output terminal 39 and the output node of the charge-and-discharge circuit 12.

[0038] A switch 11 is turned off at the period which turns on at the period when the switch 4 is turned off, and the switch 4 turns on. The charge-and-discharge circuit 12 minds [ when the switch 4 is turned off ] a switch 11, and charges / discharges in a load, i.e., the scanning line, at the level near target level. The voltage follower containing the differential amplifier 31 tunes the scanning line finely on target level. Thereby, the scanning line can be driven quickly and correctly and shortening of a scan time can be attained.

[0039] In addition, it should be thought that the gestalt of the operation indicated this time is [ no ] instantiation at points, and restrictive. The range of this invention is shown by the above-mentioned not explanation but claim, and it is meant that all modification in a claim, equal semantics, and within the limits is included.

[0040]

[Effect of the Invention] as mentioned above, in the analog output circuit concerning this invention While giving reference potential to the 1st input terminal of the differential amplifier, an output terminal and the 2nd input terminal are connected with the differential amplifier and the 1st and 2nd capacitors. The 1st change-over circuit for making the potential which added the offset voltage of the differential amplifier to reference potential output to the differential amplifier, The potential which added offset voltage to the reference potential outputted from the differential amplifier The 2nd change-over circuit for [ of the 1st capacitor ] giving reference potential to the another side electrode, and making it charge, while giving an electrode on the other hand, While connecting to the 2nd input terminal and output terminal of the differential amplifier the 1st one side electrode and another side electrode of a capacitor which were charged using the 1st and 2nd change-over circuits, respectively The analog potential held at the 2nd capacitor is given to the 1st input terminal of the differential amplifier, and the 3rd change-over circuit for making the same potential as analog potential output to the differential amplifier is prepared. Therefore, regardless of the capacity value of the 1st and 2nd capacitors, offset voltage is completely cancellable. Therefore, it

is small, the 2nd capacity value, i.e., electrode surface product, of a capacitor, and it ends, and layout area is small and ends. Moreover, since reference potential is used without using the input analog potential held at the 2nd capacitor even when making the 1st capacitor charge, input analog potential does not change. Moreover, since the 1st input terminal of the differential amplifier is fixed to reference potential at this time, an oscillation condition does not arise.

[0041] Preferably, further, before making the 1st capacitor charge using the 1st and 2nd change-over circuits, the 4th change-over circuit for connecting and making inter-electrode [ of the 1st capacitor ] discharge is prepared. In this case, since the residual charge of the 1st capacitor is removable, offset voltage is correctly detectable.

[0042] Moreover, the analog potential as which the terminal was inputted on the other hand is received, preferably, further, on the other hand, it connects with an electrode, the another side terminal flows, while [ capacitor / 2nd ] having charged the 1st capacitor using the 1st and 2nd change-over circuits, and the 1st switching element for making analog potential hold to the 2nd capacitor is prepared. In this case, while having detected offset voltage, input analog potential can be made to hold to the 2nd capacitor.

[0043] Moreover, preferably, on the other hand, a terminal is connected to the output terminal of the differential amplifier, the another side terminal is connected to a load circuit, and the 2nd switching element which flows at the period when the same potential as analog potential is outputted from the differential amplifier is prepared further. In this case, while having detected offset voltage, between the output terminal of the differential amplifier and load circuits can be intercepted, and it can prevent that the differential amplifier and a load circuit do a bad influence mutually.

[0044] Moreover, preferably, it connects with the another side terminal of the 2nd switching element, and the charge-and-discharge circuit for giving the potential defined beforehand is established in a load circuit at the period before the 2nd

switching element flows. In this case, the burden of the differential amplifier can be made light and a load circuit can be made to drive quickly.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the configuration of the voltage follower by the gestalt 1 of implementation of this invention.

[Drawing 2] It is the timing diagram which shows the actuation of a voltage follower shown in drawing 1 .

[Drawing 3] It is a circuit diagram for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 4] They are other circuit diagrams for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 5] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 6] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 7] It is the circuit diagram of further others for explaining the actuation

of a voltage follower shown in drawing 1 .

[Drawing 8] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 9] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 10] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 11] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 1 .

[Drawing 12] It is the circuit block diagram showing the configuration of the analog output circuit by the gestalt 2 of implementation of this invention.

[Drawing 13] It is the circuit diagram showing the configuration of the conventional differential amplifier.

[Drawing 14] It is the circuit diagram showing the configuration of the conventional voltage follower.

[Drawing 15] It is a circuit diagram for explaining the actuation of a voltage follower shown in drawing 14 .

[Drawing 16] They are other circuit diagrams for explaining the actuation of a voltage follower shown in drawing 14 .

[Drawing 17] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 14 .

[Drawing 18] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 14 .

[Drawing 19] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 14 .

[Drawing 20] It is the circuit diagram of further others for explaining the actuation of a voltage follower shown in drawing 14 .

[Drawing 21] It is drawing for explaining the trouble of a voltage follower shown in drawing 14 .

[Description of Notations]

1 30 A voltage follower, 2-4, 11, 32-35 A switch, 12 20 A charge-and-discharge circuit, 31 The differential amplifier, 21 22 A constant current source, 23 24 A P channel MOS transistor, 25 36 A resistance element, 37 A capacitor, 38 An input terminal, 39 Output terminal.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPD are not responsible for any  
damages caused by the use of this translation.

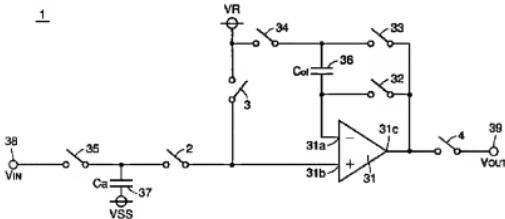
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DRAWINGS

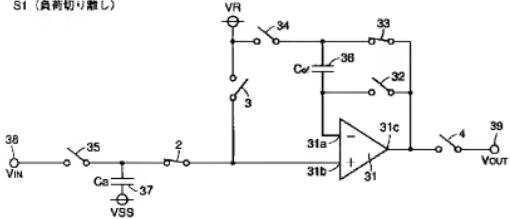
---

[Drawing 1]

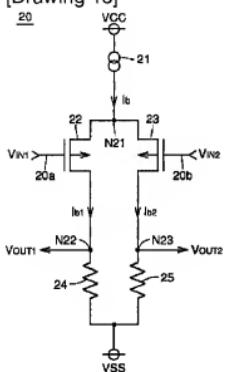


[Drawing 3]

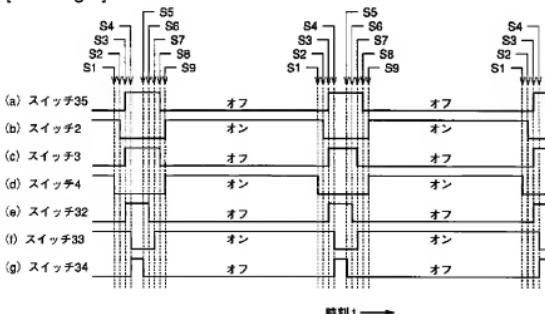
S1 (負荷切り離し)



[Drawing 13]

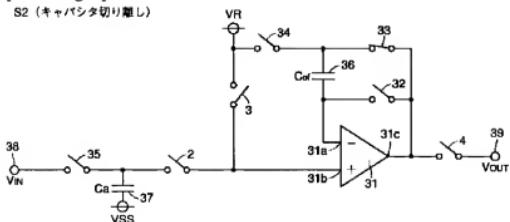


[Drawing 2]



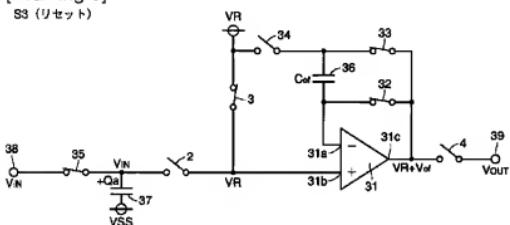
[Drawing 4]

S2 (キャバシタ切り離し)



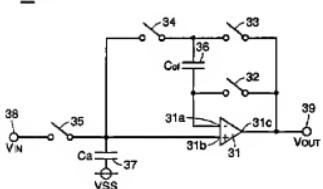
[Drawing 5]

S3 (リセット)



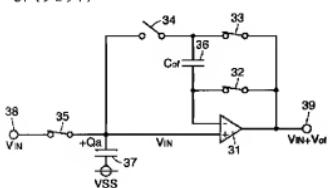
[Drawing 14]

30



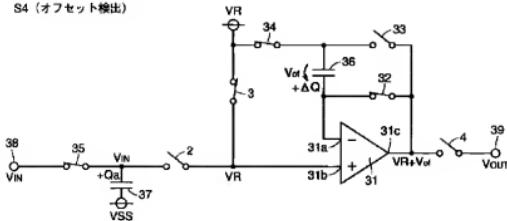
[Drawing 15]

S1 (リセット)



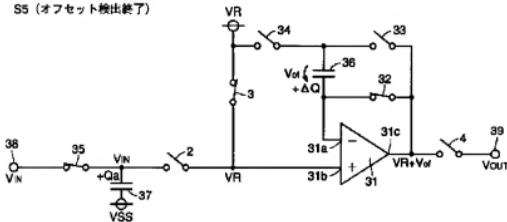
[Drawing 6]

S4 (オフセット検出)



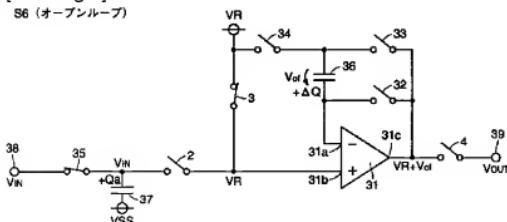
[Drawing 7]

S5 (オフセット検出終了)



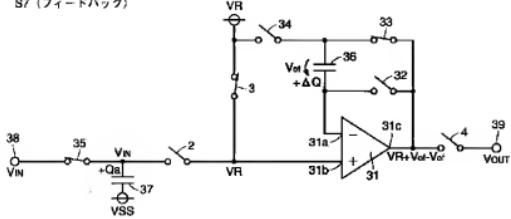
[Drawing 8]

S6 (オープンループ)



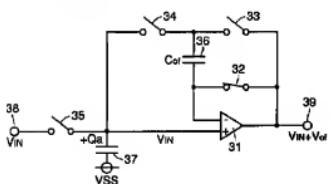
[Drawing 9]

S7 (フィードバック)

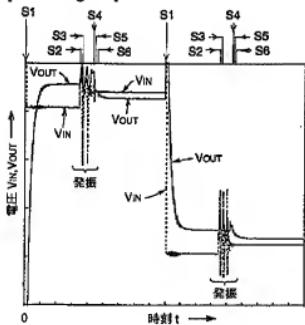


[Drawing 16]

S2 (リセット終了)

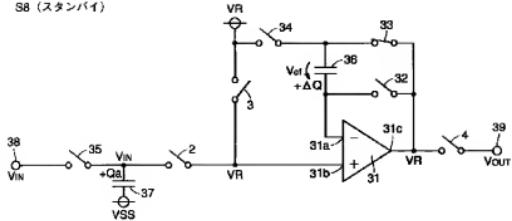


[Drawing 21]



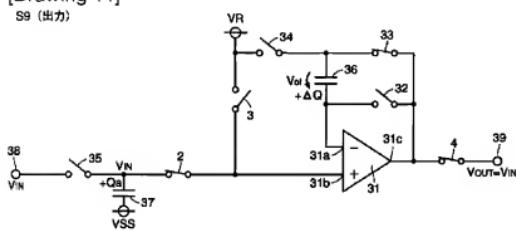
[Drawing 10]

S8 (スタンバイ)

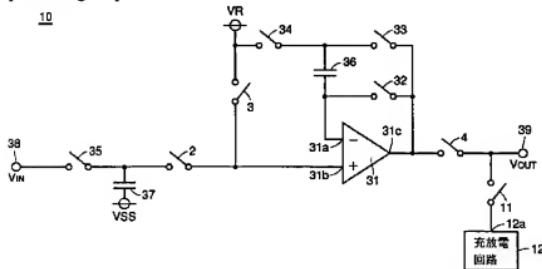


[Drawing 11]

S9 (出力)

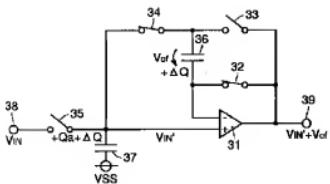


[Drawing 12]



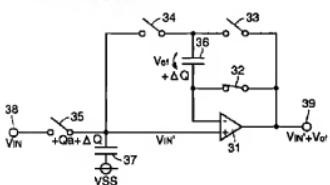
[Drawing 17]

S3 (オフセット検出)



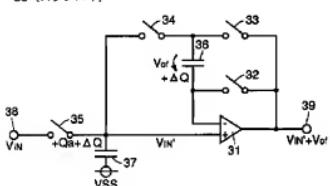
[Drawing 18]

S4 (オフセット検出終了)



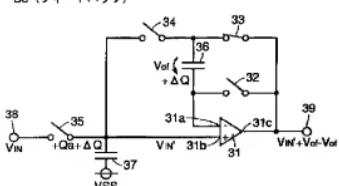
[Drawing 19]

S5 (スタンバイ)



[Drawing 20]

S6 (フィードバック)



---

[Translation done.]

(51) Int.Cl.<sup>7</sup>  
H 03 F  
3/34  
3/45

識別記号

F I  
H 03 F  
3/34  
3/45

マーク〇(参考)  
B 5 J 0 6 6  
Z 5 J 0 9 1

審査請求 未請求 請求項の数 5 O.L. (全 10 頁)

(21)出願番号 特願2000-144347(P2000-144347)

(22)出願日 平成12年5月17日(2000.5.17)

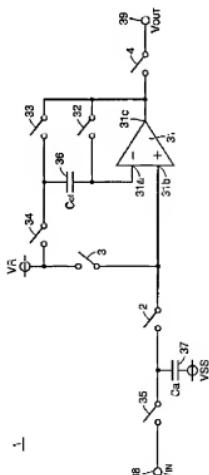
(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72)発明者 桥戸 隆一  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(73)発明者 鈴木 昭弘  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74)代理人 100064746  
弁理士 深見 久郎 (外4名)

## (54)【発明の名称】 アナログ出力回路

## (57)【要約】

【課題】 オフセット電圧を完全に補償することができ、レイアウト面積が小さく、発振状態が発生せず、入力電位が変化しないアナログ出力回路を提供する。

【解決手段】 まずスイッチ3, 32, 33, 35のみをオンさせてキャパシタ36の電荷を消去とともにキャパシタ37を入力電位 $V_{IN}$ に充電する。次にスイッチ3, 32, 34, 35のみをオンさせてキャパシタ36を差動増幅器31のオフセット電圧 $V_{OS}$ に充電する。次にスイッチ2, 4, 33のみをオンさせて入力電位と同じ電位 $V_{IN}$ を出力する。キャパシタ36, 37の容量値の比に関係なくオフセット電圧 $V_{OS}$ を完全にキャンセルすることができる。



## 【特許請求の範囲】

【請求項1】 入力されたアナログ電位と同じ電位を出力するアナログ出力回路であって、  
第1の入力端子、第2の入力端子および出力端子を含む  
差動増幅器、  
前記差動増幅器のオフセット電圧を保持するための第1  
のキャバシタ、  
入力されたアナログ電位を保持するための第2のキャバ  
シタ、  
前記差動増幅器の前記第1の入力端子に参照電位を与えるとともに前記出力端子と前記第2の入力端子とを接続し、前記参照電位に前記差動増幅器のオフセット電圧を加算した電位を前記差動増幅器に出力させるための第1の切換回路、  
前記差動増幅器から出力された前記参照電位に前記オフセット電圧を加算した電位を前記第1のキャバシタの一方電極に与えるとともにその他方電極に前記参照電位を与えて充電させるための第2の切換回路、および前記第1および第2の切換回路を用いて充電された前記第1のキャバシタの一方電極および他方電極をそれぞれ前記差動増幅器の前記第2の入力端子および前記出力端子に接続するとともに、前記第2のキャバシタに保持されたアナログ電位を前記差動増幅器の前記第1の入力端子に与えて、前記アナログ電位と同じ電位を前記差動増幅器に出力させるための第3の切換回路を備える、アナログ出力回路。

【請求項2】 さらに、前記第1および第2の切換回路を用いて前記第1のキャバシタを充電させる前に、前記第1のキャバシタの電極間を接続して放電させるための第4の切換回路を備える、請求項1に記載のアナログ出力回路。

【請求項3】 さらに、その一方端子が入力されたアナログ電位を受け、その他端子が前記第2のキャバシタの一方電極に接続され、前記第1および第2の切換回路を用いて前記第1のキャバシタを充電している間に導通し、前記第2のキャバシタに前記アナログ電位を保持させための第1のスイッチング素子を備える、請求項1または請求項2に記載のアナログ出力回路。

【請求項4】 さらに、その一方端子が前記差動増幅器の前記出力端子に接続され、その他端子が負荷回路に接続され、前記差動増幅器から前記アナログ電位と同じ電位が出力されている間に導通する第2のスイッチング素子を備える、請求項1から請求項3のいずれかに記載のアナログ出力回路。

【請求項5】 さらに、前記第2のスイッチング素子の他方端子に接続され、前記第2のスイッチング素子が導通する前の期間に前記負荷回路に予め定められた電位を与えるための充放電回路を備える、請求項4に記載のアナログ出力回路。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はアナログ出力回路に関し、特に、入力されたアナログ電位と同じ電位を出力するアナログ出力回路に関する。

## 【0002】

【従来の技術】図13は、従来の差動増幅器20の構成を示す回路図である。図13において、この差動増幅器20は、定電流源21、PチャネルMOSトランジスタ22、23および抵抗素子24、25を含む。PチャネルMOSトランジスタ22と23は同じサイズであり、抵抗素子24と25は同じ抵抗値を有する。

【0003】 定電流源21は、第1電源電位VCCのラインとノードN21との間に接続される。PチャネルMOSトランジスタ22は、ノードN21とN22の間に接続され、そのゲートは反転入力端子20aに接続される。PチャネルMOSトランジスタ23は、ノードN21とN23の間に接続され、そのゲートは非反転入力端子20bに接続される。抵抗素子24、25は、それぞれノードN22、N23と第2電源電位VSSのラインとの間に接続される。

【0004】 定電流源21の出力電流Ibは、PチャネルMOSトランジスタ22と23に分流される。入力端子20aの電位V<sub>IN1</sub>と入力端子20bの電位V<sub>IN2</sub>とが同一である場合は、PチャネルMOSトランジスタ22に流れれる電流I<sub>b1</sub>とPチャネルMOSトランジスタ23に流れれる電流I<sub>b2</sub>とが同一になってノードN22の電位V<sub>OUT1</sub>とノードN23の電位V<sub>OUT2</sub>とは同一になる。したがって、差動増幅器20の出力電圧V<sub>OUT</sub>=V<sub>OUT1</sub>-V<sub>OUT2</sub>は0(V)となる。

【0005】 また、入力電位V<sub>IN</sub>が入力電位V<sub>IN2</sub>よりも低い場合は、I<sub>b1</sub>がI<sub>b2</sub>よりも大きくなり、V<sub>OUT1</sub>がV<sub>OUT2</sub>よりも高くなる。したがって、出力電圧V<sub>OUT</sub>は正の電圧となる。また、入力電位V<sub>IN1</sub>が入力電位V<sub>IN2</sub>よりも高い場合は、I<sub>b1</sub>がI<sub>b2</sub>よりも小さくなり、V<sub>OUT1</sub>がV<sub>OUT2</sub>よりも低くなる。したがって、出力電圧V<sub>OUT</sub>は負の電圧となる。この出力電圧V<sub>OUT</sub>は、入力電位差V<sub>IN2</sub>-V<sub>IN1</sub>を増幅した電圧となる。

【0006】 しかし、このような差動増幅器20では、PチャネルMOSトランジスタ22と23のサイズに差があったり、抵抗素子24と25の抵抗値に差がある場合は、入力電位V<sub>IN1</sub>とV<sub>IN2</sub>が等しいときでも出力電圧V<sub>OUT</sub>は0(V)にならない。このときの出力電圧は、オフセット電圧と呼ばれる。

【0007】 図14は、差動増幅器のオフセット電圧を補償するためのオフセット電圧補償機能を有する電圧フォロワ30の構成を示す回路図である。このような電圧フォロワ30は、たとえばEuro Display '96(p.247~250)に開示されている。

【0008】 図14において、この電圧フォロワ30は、差動増幅器31、スイッチ32~34、キャバシタ

36、37、入力端子38、および出力端子39を含む、差動増幅器31以外の素子32~37はオフセット電圧補償回路を構成する。スイッチ32は、差動増幅器31の出力端子31cと反転入力端子31aとの間に接続される。スイッチ33、34は、差動増幅器31の出力端子31cと非反転入力端子31bとの間に直列接続される。スイッチ35は、入力端子38と差動増幅器31の非反転入力端子31bとの間に接続される。

【0009】キャパシタ36は、スイッチ33と34の間のノードと差動増幅器31の反転入力端子31aとの間に接続される。キャパシタ36は、所定の容量値C<sub>of</sub>を有し、差動増幅器31のオフセット電圧V<sub>of</sub>を電荷として保持する。キャパシタ37は、差動増幅器31の非反転入力端子31bと第2電源電位V<sub>SS</sub>のラインとの間に接続される。キャパシタ36は、所定の容量C<sub>a</sub>を有し、入力電位V<sub>IN</sub>を電荷として保持する。差動増幅器31の出力端子31cは、電圧フォロワ30の出力端子39に接続される。

【0010】次に、この電圧フォロワ30の動作について説明する。ステップS1では、図15に示すように、スイッチ35がオンとなり、キャパシタ37に入力電位V<sub>IN</sub>分の電荷Q<sub>a</sub>=C<sub>a</sub>·V<sub>IN</sub>が蓄えられる。また、スイッチ32、33がオンし、キャパシタ36に蓄えられていた電荷が消去(リセット)される。ステップS2では、図16に示すように、リセットが終了したのでスイッチ33、35がオフする。

【0011】ステップS3では、図17に示すように、スイッチ34がオンし、オフセット電圧V<sub>of</sub>が検出される。すなわちキャパシタ36にはオフセット電圧V<sub>of</sub>分の電荷△Qが蓄えられ、キャパシタ37の電荷が△Qだけ増加してQ<sub>a</sub>+△Qとなり、キャパシタ37の端子電圧がV<sub>IN</sub>からV<sub>IN'</sub>に変化する。このとき、以下の式が成立する。

【0012】

【数1】

$$\begin{aligned} \left\{ \begin{array}{l} Q_a + \Delta Q = C_a V_{IN'} \\ \Delta Q = C_{of} V_{of} \end{array} \right. \\ \therefore Q_a = C_a V_{IN'} - C_{of} V_{of} = C_a V_{IN} \\ \therefore V_{IN'} = V_{IN} + \frac{C_{of}}{C_a} V_{of}. \end{aligned}$$

【0013】ステップS4では、図18に示すように、オフセット電圧V<sub>of</sub>の検出が終了したので、スイッチ34がオフする。ステップS5では、図19に示すように、スイッチ32がオフしてスタンバイ状態となる。ステップS6では、図20に示すように、スイッチ33がオンし、検出したオフセット電圧V<sub>of</sub>が差動増幅器31の反転入力端子31aにフィードバックされ、電圧フォロワ30の出力電位V<sub>OUT</sub>がオフセット電圧V<sub>of</sub>分だけ低下する。このとき電圧フォロワ30の出力電位V<sub>OUT</sub>

は次の式で表わされる。

【0014】

【数2】

$$\begin{aligned} V_{OUT} &= V_{IN'} + V_{of} - V_{of} \\ &= V_{IN} + \frac{C_{of}}{C_a} V_{of} \end{aligned}$$

【0015】したがって、この電圧フォロワ30では、オフセット電圧はC<sub>of</sub>/C<sub>a</sub>倍に低減される。

【0016】

【発明が解決しようとする課題】しかし、従来の電圧フォロワ30では、オフセット電圧V<sub>of</sub>の影響を小さくするためにはキャパシタ36の容量値C<sub>of</sub>に比べてキャパシタ37の容量値C<sub>a</sub>を十分大きくする必要があったので、キャパシタ37の電極面積を十分大きくする必要があり、レイアウト面積が大きくなるという問題があつた。

【0017】また、オフセット電圧V<sub>of</sub>を検出するとき(ステップS3)、差動増幅器31の出力端子31cと非反転入力端子31bがキャパシタ36を介して接続されるので、差動増幅器31の周波数特性やオフセット電圧V<sub>of</sub>の大きさによっては発振状態が生じ、オフセット電圧V<sub>of</sub>を正確に検出できなくなる。図21は、従来の電圧フォロワ30の矩形波応答を示す波形図である。この図からステップS3において発振状態が生じ、電圧V<sub>IN</sub>、V<sub>OUT</sub>が大きく変化することがわかる。

【0018】また、オフセット電圧V<sub>of</sub>を検出するとき(ステップS3)、キャパシタ36と37が接続されるので、電荷の移動によって入力電位V<sub>IN</sub>が大きく変化してしまうという問題があった。

【0019】これらは問題は、単結晶シリコントランジスタを用いずに、アモルファスシリコントランジスタ、ポリシリコントランジスタなどの性能の悪いトランジスタを用いて差動増幅器31を構成した場合に特に顕著となる。

【0020】また、従来の電圧フォロワ30では、素子の寄生容量などに起因してスイッチングの際に生じるファイドースルーによって、正確に入力電位をラッチできないという問題もあった。

【0021】それゆえに、この発明の主たる目的は、オフセット電圧を完全に補償することができ、レイアウト面積が小さく、発振状態が発生せず、入力電位が変化しないアナログ出力回路を提供することである。

【0022】

【課題を解決するための手段】この発明に係るアナログ出力回路は、入力されたアナログ電位と同じ電位を出力するアナログ出力回路であって、第1の入力端子、第2の入力端子および出力端子を含む差動増幅器と、差動増幅器のオフセット電圧を保持するための第1のキャパシタと、入力されたアナログ電位を保持するための第2の

キャバシタと、差動増幅器の第1の入力端子に参照電位を与えるとともに出力端子と第2の入力端子とを接続し、参照電位に差動増幅器のオフセット電圧を加算した電位を差動増幅器に出力させるための第1の切換回路と、差動増幅器から出力された参照電位にオフセット電圧を加算した電位を第1のキャバシタの一方電極に与えるとともにその他方電極に参照電位を与えて充電させるための第2の切換回路と、第1および第2の切換回路を用いて充電された第1のキャバシタの一方電極および他方電極をそれぞれ差動増幅器の第2の入力端子および出力端子に接続するとともに、第2のキャバシタに保持されたアナログ電位を差動増幅器の第1の入力端子に与えて、アナログ電位と同じ電位を差動増幅器に出力させるための第3の切換回路とを備えたものである。

【0023】好ましくは、さらに、第1および第2の切換回路を用いて第1のキャバシタを充電させる前に、第1のキャバシタの電極間を接続して放電させるための第4の切換回路が設けられる。

【0024】また好ましくは、さらに、その一方端子が入力されたアナログ電位を受け、その他方端子が第2のキャバシタの一方電極に接続され、第1および第2の切換回路を用いて第1のキャバシタを充電している間に導通し、第2のキャバシタにアナログ電位を保持させるための第1のスイッチング素子が設けられる。

【0025】また好ましくは、さらに、その一方端子が差動増幅器の出力端子に接続され、その他方端子が負荷回路に接続され、差動増幅器からアナログ電位と同じ電位が出力されている期間に導通する第2のスイッチング素子が設けられる。

【0026】また好ましくは、さらに、第2のスイッチング素子の他方端子に接続され、第2のスイッチング素子が導通する前の期間に負荷回路に予め定められた電位を与えるための充放電回路が設けられる。

【0027】

【発明の実施の形態】【実施の形態1】図1は、この発明の実施の形態1による電圧フォロワ1の構成を示す回路図であって、図1と対比される図である。

【0028】図1を参照して、この電圧フォロワ1が図1.4の電圧フォロワ3と異なる点は、スイッチ2~4が追加されている点と、参照電位VRが導入されている点である。スイッチ3は、スイッチ34の一方端子と差動増幅器31の非反転入力端子31bとの間に介接される、スイッチ3と34の間のノードは、参照電位VRのラインに接続される。スイッチ2は、キャバシタ37の一方電極と差動増幅器31の非反転入力端子31bとの間に介接される。スイッチ4は、差動増幅器31の出力端子31cと電圧フォロワ1の出力端子39との間に介接される。

【0029】図2は、図1に示した電圧フォロワ1の動作を示すタイムチャートである。この図2に従って、電

圧フォロワ1の動作について説明する。初期状態では、スイッチ2, 4, 33がオンし、スイッチ3, 32, 34, 35がオフしているものとする。ステップS1では、図3に示すように、スイッチ4がオフし、差動増幅器31と出力端子39に接続された負荷(図示せず)とが電気的に切り離される。これにより、スイッチ2~4, 3, 32~35の切換動作の影響が負荷に及ぶのを防止することができる。

【0030】ステップS2では、図4に示すように、スイッチ2がオフし、キャバシタ37と差動増幅器31が電気的に切り離される。スイッチS3では、図5に示すように、スイッチ32, 33がオンしてキャバシタ36に蓄えられていた電荷が消去(リセット)されるとともに、スイッチ35がオンして次のアナログ入力電圧V<sub>IN</sub>によってキャバシタ37の充電が開始される。

【0031】ステップS4では、図6に示すように、スイッチ33がオフするとともにスイッチ34がオンし、オフセット電圧V<sub>off</sub>が検出される。このとき差動増幅器31と負荷が切り離されているので、差動増幅器31の応答性は非常に良い。また、差動増幅器31の非反転入力端子31bに参照電位VRを印加しているので、差動増幅器31の動作は安定する。したがって、キャバシタ36にはオフセット電圧V<sub>off</sub>分の電荷ΔQが短時間で正確に蓄えられる。また、キャバシタ37の端子電圧V<sub>IN</sub>が変化することはない。

【0032】ステップS5では、図7に示すように、オフセット電圧V<sub>off</sub>の検出が終了したので、スイッチ34がオフする。ステップS6では、図8に示すように、スイッチ32がオフし、差動増幅器31がオープンループにされる。

【0033】ステップS7では、図9に示すように、スイッチ33がオンし、検出したオフセット電圧V<sub>off</sub>が差動増幅器31の反転入力端子31aにフィードバックされ、差動増幅器31の出力端子31cの電位がオフセット電圧V<sub>off</sub>分だけ低下する。すなわち、差動増幅器31の出力端子31cの電位は参照電位VRとなる。したがって、この電圧フォロワ1では、キャバシタ36, 37の容量によらずに、理論的にはオフセット電圧V<sub>off</sub>を完全にキャансルすることができる。

【0034】ステップS8では、図10に示すように、スイッチ3, 35がオフし、スタンバイ状態となる。ステップS9では、図11に示すように、スイッチ2, 4がオンし、キャバシタ7に保持された入力電圧V<sub>IN</sub>が差動増幅器31の非反転入力端子31bに入力される。差動増幅器31ではキャバシタ36に保持されたオフセット電圧V<sub>off</sub>を出力電圧V<sub>OUT</sub>に上乗せして反転入力端子31aにフィードバックさせるので、差動増幅器31の出力電圧V<sub>OUT</sub>は入力電圧と同じ電圧V<sub>IN</sub>となる。

【0035】この実施の形態1では、オフセット電圧V<sub>off</sub>を検出するときに(ステップS4)、キャバシタ37

の電位  $V_{IN}$  を参照するのではなく参照電位  $V_R$  を参照するので、キャパシタ 3 の電位  $V_{IN}$  が変化することがない。また、差動増幅器 3 の非反転入力端子 3-1b が参照電位  $V_R$  に固定されるので、従来のように発振状態が生じることもない。また、キャパシタ 3-6, 3-7 の容量値によらずに、理論的にはオフセット電圧  $V_{off}$  を完全にキャンセルできるので、キャパシタ 3-7 の容量値すなわち電極面積を大きくする必要がなく、レイアウト面積が小さく済む。

【0036】[実施の形態2] 図1～図11で示した電圧フォロワ1は、たとえば液晶パネルの走査線を駆動するためのアナログ出力回路として用いられる。装置の低コスト化を図るため、アナログ出力回路を単結晶トランジスタの代わりにアモルファスシリコンランジスタまたはポリシリコンランジスタで形成することが試みられているが、アモルファスシリコンランジスタまたはポリシリコンランジスタで形成されたアナログ出力回路は応答性が悪いため走査時間が長くなるという問題がある。この実施の形態2では、この問題が解決される。【0037】図12は、この発明の実施の形態2によるアナログ出力回路10の構成を示す回路ブロック図である。図12を参照して、このアナログ出力回路10が図1の電圧フォロワ1と異なる点は、スイッチ1-1および充放電回路1-2が追加されている点である。スイッチ1-1は、出力端子3-9と充放電回路1-2の出力ノードとの間に接続される。

【0038】スイッチ1-1は、スイッチ4がオフされている期間にオンし、スイッチ4がオンしている期間にオフする。充放電回路1-2は、スイッチ4がオフされている期間に、スイッチ1-1を介して負荷すなわち走査線を目標レベルに近いレベルに充電/放電する。差動増幅器3-1を含む電圧フォロワは、走査線を目標レベルに微調整する。これにより、走査線を迅速かつ正確に駆動することができ、走査時間の短縮化を図ることができる。

【0039】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

#### 【0040】

【発明の効果】以上のように、この発明に係るアナログ出力回路では、差動増幅器と、第1および第2のキャパシタと、差動増幅器の第1の入力端子に参照電位を与えるとともに出力端子と第2の入力端子とを接続し、参照電位に差動増幅器のオフセット電圧を加算した電位を差動増幅器に outputさせるための第1の切換回路と、差動増幅器から出力された参照電位にオフセット電圧を加算した電位を第1のキャパシタの一方電極に与えるとともにその他の電極に参照電位を与えて充電させるための第2

の切換回路と、第1および第2の切換回路を用いて充電された第1のキャパシタの一方電極および他の電極をそれぞれ差動増幅器の第2の入力端子および出力端子に接続するとともに、第2のキャパシタに保持されたアナログ電位を差動増幅器の第1の入力端子に与えて、アナログ電位と同じ電位を差動増幅器に outputさせるための第3の切換回路とが設けられる。したがって、第1および第2のキャパシタの容量値に関係なくオフセット電圧を完全にキャンセルできる。よって、第2のキャパシタの容量値すなわち電極面積が小さくて済み、レイアウト面積が小さくて済む。また、第1のキャパシタを充電させるときでも、第2のキャパシタに保持された入力アナログ電位を用いずに参照電位を用いるので、入力アナログ電位が変化することはない。また、このとき差動増幅器の第1の入力端子を参照電位に固定するので、発振状態が生じることもない。

【0041】好ましくは、さらに、第1および第2の切換回路を用いて第1のキャパシタを充電させる前に、第1のキャパシタの電極間を接続して放電させるための第4の切換回路が設けられる。この場合は、第1のキャパシタの残留電荷を除去できるので、オフセット電圧を正確に検出できる。

【0042】また好ましくは、さらに、その一方端子が入力されたアナログ電位を受け、その他の端子が第2のキャパシタの一方電極に接続され、第1および第2の切換回路を用いて第1のキャパシタを充電している間に導通し、第2のキャパシタにアナログ電位を保持させるための第1のスイッチング素子が設けられる。この場合は、オフセット電圧を検出している間に入力アナログ電位を第2のキャパシタに保持させることができる。

【0043】また好ましくは、さらに、その一方端子が差動増幅器の出力端子に接続され、その他の端子が負荷回路に接続され、差動増幅器からアナログ電位と同じ電位が outputされている間に導通する第2のスイッチング素子が設けられる。この場合は、オフセット電圧を検出している間は差動増幅器の出力端子と負荷回路との間を遮断することができ、差動増幅器および負荷回路が互いに影響を及ぼすのを防止することができる。

【0044】また好ましくは、第2のスイッチング素子の他の端子に接続され、第2のスイッチング素子が導通する前の期間に負荷回路に予め定められた電位を与えるための充放電回路が設けられる。この場合は、差動増幅器の負担を軽くすることができ、負荷回路を迅速に駆動させることができ。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による電圧フォロワの構成を示す回路図である。

【図2】 図1に示した電圧フォロワの動作を示すタイムチャートである。

【図3】 図1に示した電圧フォロワの動作を説明する

ための回路図である。

【図4】 図1に示した電圧フォロワの動作を説明するための他の回路図である。

【図5】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図6】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図7】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図8】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図9】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図10】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図11】 図1に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図12】 この発明の実施の形態2によるアナログ出力回路の構成を示す回路ブロック図である。

【図13】 従来の差動増幅器の構成を示す回路図である。

【図14】 従来の電圧フォロワの構成を示す回路図で

ある。

【図15】 図14に示した電圧フォロワの動作を説明するための回路図である。

【図16】 図14に示した電圧フォロワの動作を説明するための回路図である。

【図17】 図14に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図18】 図14に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図19】 図14に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

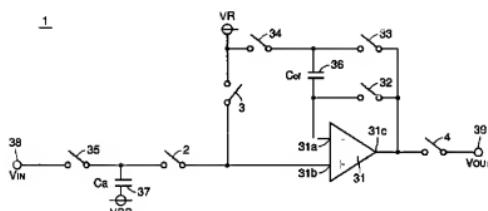
【図20】 図14に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図21】 図14に示した電圧フォロワの問題点を説明するための図である。

#### 【符号の説明】

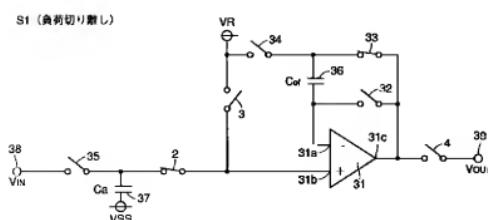
1, 30 電圧フォロワ、2~4, 11, 32~35  
スイッチ、12 充放電回路、20, 31 差動増幅器、  
21 定電流源、22, 23 PチャネルMOSトランジスタ、  
24, 25 抵抗素子、36, 37 キャパシタ、  
38 入力端子、39 出力端子。

【図1】

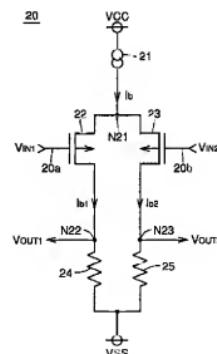


【図3】

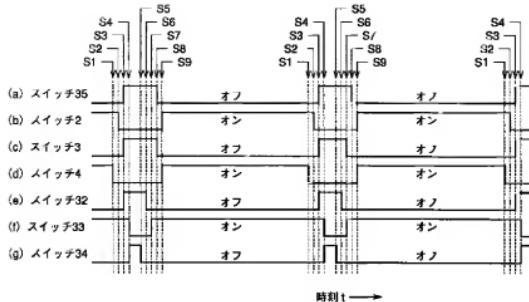
S1 (負荷切り離し)



【図13】

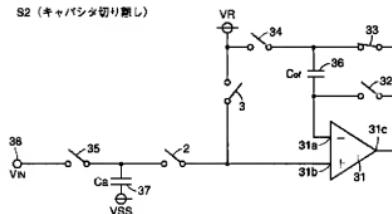


【図2】

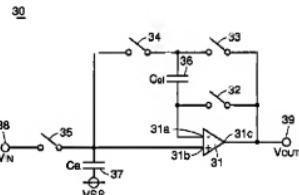


【図4】

S2 (キャバシタ切り離し)

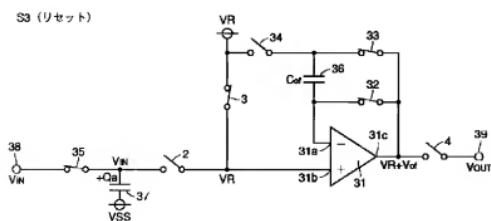


【図14】

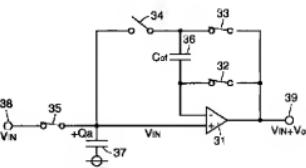


【図5】

S3 (リセット)

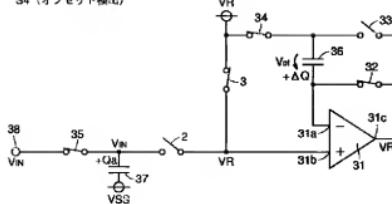


S1 (リセット)



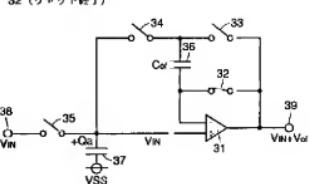
【四六】

S4 (オフセット検出)



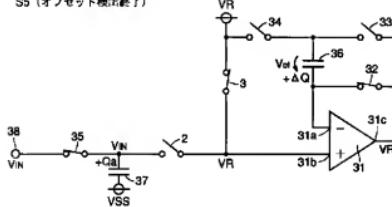
【図16】

S2 (リセット終了)

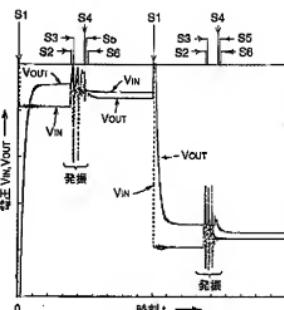


【图7】

S5 (オフセット検出終了)

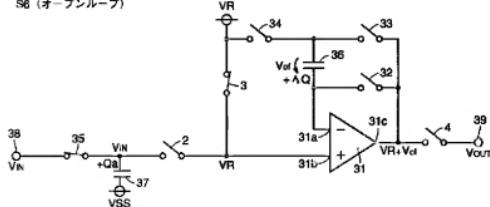


[図21]



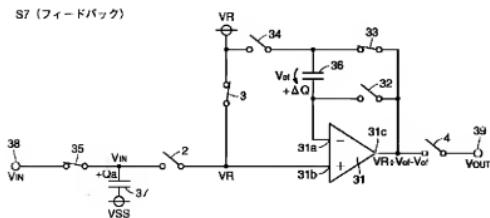
[图8]

56 (オーブンループ)



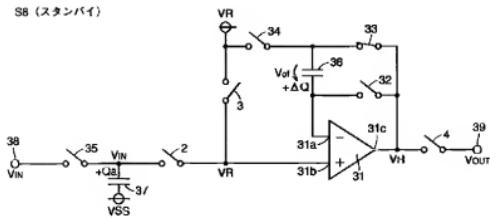
[图9]

S7 (フィードバック)



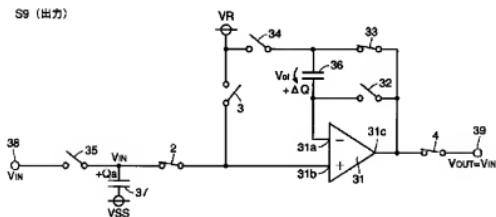
【図10】

S8 (スタンバイ)



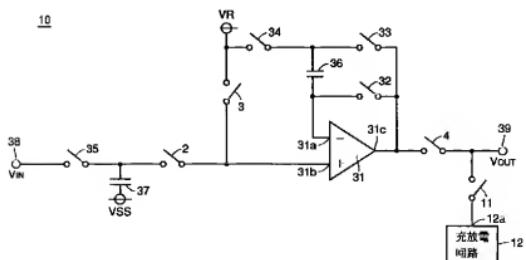
【図11】

S9 (出力)



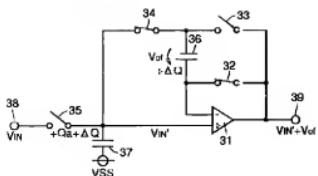
【図12】

10



【図17】

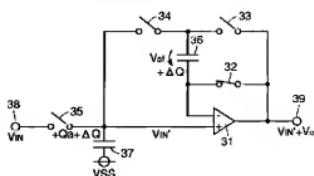
S3(オフセット検出)



【図19】

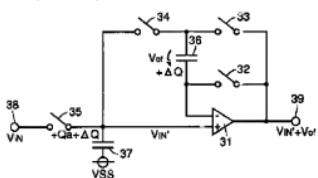
【図18】

S4(オフセット検出終了)

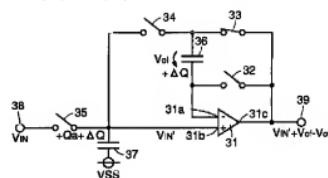


【図20】

S5(スタンバイ)



S6(フィードバック)



フロントページの続き

(72)発明者 岩田 明彦  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5J066 AA01 AA12 CA13 CA54 CA92  
FA18 HA10 HA29 HA38 KA00  
KA05 KA19 MA05 MA23 ND01  
ND11 ND22 ND23 PD02 TA06  
5J091 AA01 AA12 CA13 CA54 CA92  
FA18 HA10 HA29 HA38 KA00  
KA05 KA19 MA05 MA23 TA06